

反熔丝 FPGA 线长驱动布局算法

张大华, 李 威, 杜 涛

(电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

摘 要: 针对反熔丝 FPGA 的结构特点, 提出了一种线长驱动的反熔丝 FPGA 布局算法. 该算法基于 VPR 的模拟退火布局算法, 针对反熔丝 FPGA 垂直布线资源有限的特点, 提出了新型的成本函数并在 CAD 实验平台上予以实现. 实验结果表明, 与 VPR 布局算法相比, 该方法不仅优化了线网总长度, 使得线网总长度平均减少了 12%, 同时还减少了编程的通路反熔丝数目.

关键词: 反熔丝 FPGA; VPR; 布局; 模拟退火算法

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2015)03-0132-04

Wire-Length Driven Placement Algorithm for Antifuse FPGA

ZHANG Da-hua, LI Wei, DU Tao

(State Key Laboratory of Electronic Thin Films and Integrated Devices,
University of Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: A novel wire-length driven placement algorithm for antifuse FPGA is proposed based on the characteristics of the antifuse FPGA architecture. The proposed algorithm is based on the simulated annealing algorithm of VPR and takes the limited vertical routing resources of the antifuse FPGA into account. A new cost function is proposed and the algorithm is implemented on a CAD platform. The experimental results showed that compared to the placement results of VPR, the proposed algorithm not only improves the total wire length by 12% on average, but also reduces the number of programmed horizontal antifuses.

Key words: antifuse FPGA; VPR; placement; simulated annealing algorithm

1 引言

现场可编程门阵列(Field Programmable Gate Array, FPGA)是一种包含大量可配置的逻辑资源和布线资源、用户可编程的逻辑器件. 使用 FPGA 能够大大缩短 ASIC 电路的设计周期, 同时也降低了设计成本和设计风险. 反熔丝 FPGA 具有抗辐射能力强、耐高低温、功耗低、速度快、安全性高等显著优点, 因此在国防军事和航空航天领域存在广泛的应用. 反熔丝 FPGA 通常采用基于行的逻辑架构^[1], 由于其应用领域的局限性, 国内外对于该结构的研究较少, 相关的布局布线算法的研究也比较匮乏^[2-6].

布局是 FPGA 设计流程中的一个重要步骤, 对最终的布通率和电路性能都有着重要的影响. 目前学术界对于 FPGA 布局布线算法的研究多采用加拿大多伦多大学开发的开源软件 VPR(Versatile Place and Route)^[7], 该软件的主要设计目标是能够适用于各种结构的 FPGA, 从而为 FPGA 架构设计和相关算法的研究提供便利. VPR 中的布局算法是基于模拟退火算法, 能够在合理的时间内得到较好的布局结果. 但是, 该布局算法是针对岛型 FPGA 的结构特点进行优化设计的, 并未充分考虑反熔丝 FPGA 的结构特点, 不能够充分发挥反熔丝 FPGA 的性能.

本文在充分考虑反熔丝 FPGA 架构特点的基

基础上,基于 VPR 的模拟退火布局算法,提出了一种线长驱动的反熔丝 FPGA 布局算法并在 CAD 实验平台上实现了该算法。

2 反熔丝 FPGA 简介

反熔丝 FPGA 通常采用基于行的逻辑架构,其基本架构如图 1 所示^[1]。成行的逻辑模块排列成矩阵状,构成可编程逻辑阵列,行与行之间是布线通道,里面包含预先定义好的不同长度组合的水平布线资源,逻辑阵列的四周为 I/O 模块。不同于岛型 FPGA,反熔丝 FPGA 的水平布线资源数目远远多于垂直布线资源数目。

图 2 所示为一个 4×2 规模反熔丝 FPGA 的详细结构示意图。垂直布线资源通过反熔丝单元与水平布线资源相连接,相邻的水平布线资源可以通过编程通路反熔丝来满足更长的连线需求,但会在信号通路中引入更大的延时。逻辑模块的输出信号通过专用输出线可以实现与其上方两个布线通路和下方两个布线通路中任意水平布线资源的连接,此外为了提高布线的灵活性,还提供了长线资源便于输出信号传输至两个以外的布线通路中,但使用长线资源需要额外多编程一位反熔丝单元,这将在信号通路中引入更大的延时。

不同于岛型 FPGA 在垂直方向通常包含大量的连线资源,反熔丝 FPGA 在垂直方向仅存在两类连线资源:逻辑模块的专用输出线和长线。逻辑模块的输出信号在默认情况下将使用专用输出线,因为其速度更快,负载更小,只有当输出信号需要传输至两个布线通道以外时才会使用长线资源。因此,反熔丝 FPGA 的布局算法应充分考虑到上述垂直布线资源的有限性,并在布局算法中予以体现,以便于提高最终的布局质量。

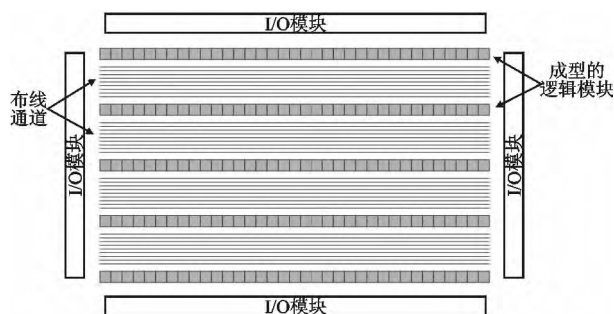


图 1 反熔丝 FPGA 的基本架构

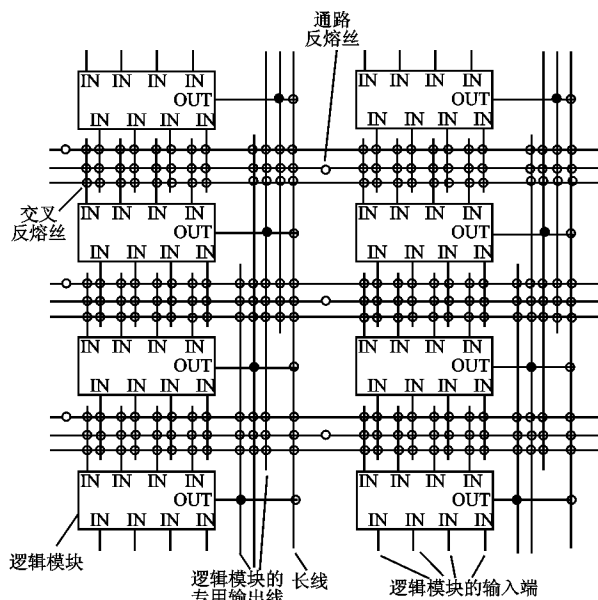


图 2 反熔丝 FPGA 的详细结构

3 线长驱动布局算法

3.1 布局算法的 CAD 实现

一个完整的 FPGA 设计流程包括设计输入、逻辑综合和优化、工艺映射、布局、布线和位流生成这几个步骤,为此本文开发了一套完整的反熔丝 FPGA CAD 系统平台,如图 3 所示。该平台主要包括以下几方面:(1)Synplify Pro,对用户设计进行逻辑综合和优化;(2)Converter,对 EDIF 文件进行必要的修改以便于后续工具的读取;(3)改进的 E2FMT^[8],对网表文件进行工艺映射和文件格式转换;(4)改进的 VPR,对反熔丝 FPGA 进行布局布线;(5)新开发的工具 Streamline,用于生成位流文件。由于本文仅考虑布局算法,故只对改进的 VPR 进行详细说明。

3.2 新型的成本函数

VPR 中的模拟退火算法使用线性拥挤成本函数来评估模拟退火过程中不同布局的布局质量,其函数形式如式(1)所示^[9]。

$$Cost = \sum_{i=1}^{N_{nets}} q(i) \cdot \left(\frac{bb_x}{C_x(i)^\beta} + \frac{bb_y}{C_y(i)^\beta} \right) \quad (1)$$

式中, $q(i)$ 为补偿因子, bb_x 和 bb_y 分别表示线网边界框的水平和垂直长度, C_x 和 C_y 分别表示线网边界框在水平和垂直方向的平均通道宽度。

由于引入了 C_x 和 C_y 这两项,线性拥挤成本函

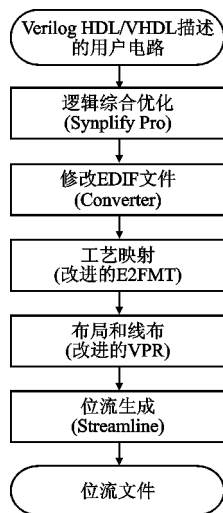


图3 反熔丝 FPGA CAD 系统

数就可以对于那些在不同区域拥有不同布线通道宽度的 FPGA 结构进行评估. 指数项 β 用于调整不同布线通道宽度的相对成本. 实验结果表明当 β 等于 1 时布局结果最好. 因此, 线性拥挤成本函数也可以应用于反熔丝 FPGA 的布局^[3].

由于反熔丝 FPGA 的水平布线资源比垂直布线资源丰富得多, 而垂直布线资源只存在两类连线, 针对上述反熔丝 FPGA 的结构特点, 本文提出了一个新型的成本函数, 其函数形式如式(2)所示.

$$Cost = \sum_{i=1}^{N_{nets}} \alpha \cdot q(i) \cdot \frac{bb_x}{C_x(i)^\beta}$$

$$\alpha = \begin{cases} 1 & \text{longline don't used} \\ 1.01 & \text{longline used} \end{cases} \quad (2)$$

新的成本函数主要考虑了线网边界框的水平长度, 而未考虑线网边界框的垂直长度, 这是由于反熔丝 FPGA 的水平布线资源远远多于垂直布线资源. 新的成本函数会在模拟退火过程中实时监控长线资源的使用情况, 当布局结果未使用长线资源, 系数 $\alpha = 1$, 不增加布局成本; 当布局结果使用了长线资源, 系数 $\alpha = 1.01$, 增加布局成本, 从而对此类布局做出相应的惩罚, 这是因为使用长线资源将在信号通路中引入额外的延时(需要多编程一个反熔丝)并且长线资源的数目在 FPGA 中是有限的. 因此, 新的成本函数将惩罚那些使用了更多长线资源的布局结果, 从而限制长线资源的使用.

4 实验结果与分析

为了验证上述方法的有效性, 本文实现了一个

规模为 16×80 的反熔丝 FPGA 阵列. 选取了 10 个 MCNC 电路作为测试电路, 分别使用本文算法和 VPR 对它们进行布局, 并对布局质量进行评估. 其中布局质量是以水平方向的线网总长度作为评价标准.

表 1 所示为测试电路的统计信息, 包括测试电路所需的逻辑模块数目及其包含的线网数目. 表 2 所示为布局质量以及编程的通路反熔丝数目比较. 与 VPR 的布局结果相比, 本文算法有效提高了绝大多数电路的布局质量, 线网总长度平均缩短了 12%, 最大缩短了 29%(电路 elliptic). 此外, 本文算法还大大减少了编程的通路反熔丝的数目. 在使用 VPR 进行布局时, 部分电路需要编程 2~3 个通路反熔丝来满足更长的连线需求, 但这会在信号通路中引入额外的延时, 同时也会增加反熔丝 FPGA 的编程时间(编程时间与需要编程的反熔丝个数成正比). 而由本文算法得到的布局结果使得所有的测试电路都不需要编程通路反熔丝, 这不仅有效减小了信号通路中的延时, 也减少了反熔丝 FPGA 的编程时间, 提高了编程效率.

通过比较 VPR 和本文算法得到的布局结果, 发现 VPR 的布局通常会使得部分布线通道中的线网数目过于集中, 造成这些布线通道布线困难, 从而不得不使用通路反熔丝来提高布通率. 而由本文算法得到的布局结果则将线网更加均匀地分布在各个布线通道中, 这不仅有利于提高布通率, 同时也减少了通路反熔丝的使用率. 以测试电路 duke2 为例, 图 4 显示了 duke2 布线通道中的线网分布情况. VPR 的布局结果使得布线通道 0 和布线通道 3 中的线网数目达到峰值, 而在布线通道 14 和布线通道 15 中的线网数目为零. 而本文算法则将线网相对平均地分布在各个布线通道中, 减少了布线通道 0 和布线通道 3 中的线网数目, 增加了布线通道 14 和布线通道 15 中的线网数目.

表 1 测试电路统计信息

电路	逻辑模块数	线网数	电路	逻辑模块数	线网数
alu2	106	116	duke2	179	201
apex7	77	126	elliptic	158	161
C432	75	111	ex5p	133	141
C499	150	191	frgl	35	63
C880	166	226	gol16	155	161

表2 布局质量与编程的通路反熔丝数目比较

电路	线网总长度			编程的通路反熔丝数目	
	本文算法	VPR	改进/%	本文算法	VPR
alu2	1 279	1 537	17	0	0
apex7	1 171	1 136	-3	0	3
C432	829	931	11	0	0
C499	2 213	2 173	-2	0	0
C880	1 915	2 047	6	0	3
duke2	2 059	2 334	12	0	3
elliptic	1 049	1 474	29	0	0
ex5p	1 817	2 035	11	0	2
frgl	287	315	9	0	0
gol16	1 748	2 317	25	0	3
平均值	1 436.7	1 629.9	12	0	1.4

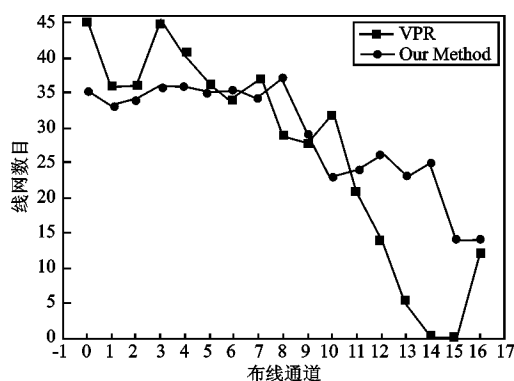


图4 测试电路 duke2 布线通道中的线网分布情况

5 结束语

本文针对反熔丝 FPGA 的结构特点,提出了线长驱动的布局算法.该算法在充分考虑反熔丝 FPGA 垂直布线资源有限的前提下,改进了 VPR 的线性拥挤成本函数并在 CAD 实验平台上予以实现.实验结果显示该方法能够有效提高布局质量,缩短线网总长度.

参考文献:

[1] El Gamal A, Greene J, Reyneri J, et al. An Architec-

ture for electrically configurable gate arrays[J]. IEEE Journal of Solid-State Circuits, 1989, 24(2):394-398.

- [2] 钱海涛,李威,张大华,等.反熔丝 FPGA 配置算法与软件实现[J].微电子学与计算机,2013,30(4):63-66.
- [3] 钱海涛,李威,张大华,等.反熔丝 FPGA 布局布线算法研究[J].微电子学,2013,43(4):550-557.
- [4] 杜海軍.反熔丝 FPGA 的编程结构研究[D].长春:吉林大学,2007.
- [5] Roychowdhury V P, Greene J W, El gamal A. Segmented channel routing [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 1993, 12(1):79-95.
- [6] Nag S K, Rurenbar R A. Performance-driven simultaneous placement and routing for FPGA's [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 1998, 17(6):499-518.
- [7] Betz V, Rose J. VPR: A new packing, placement and routing tool for FPGA research [C] // International Workshop on Field Programmable Logic and Applications. London, UK:IEEE, 1997: 213-222.
- [8] Mcelvain K. IWLS'93 benchmark set; version 4.0: mentor graphics[EB/OL].[2014-05-28](1993-05-15). http://proteas.microlab.ntua.gr/meander/help/E2FMT_manual.pdf.
- [9] Betz V, Rose J, Marquardt A. Architecture and CAD for deep-submicron FPGAs[M]. Boston: Kluwer Academic Publishers, 1999: 65-103.

作者简介:

张大华 男,(1985-),博士.研究方向为反熔丝 FPGA 的研究与设计. E-mail:zhangdahua313@163.com.

李威 男,(1959-),教授.研究方向为大规模集成电路设计.

杜涛 男,(1976-),博士研究生,讲师.研究方向为大规模集成电路设计.